

AI赋能IC·十倍提升芯片设计效率

DeepChip平台的演进之路

为芯片企业打造AI驱动的效率引擎

DeepChip AI Chip Design Platform

陈文超

17713600075

芯片设计和集成电路供应链

产业属性：集成电路高级能人才密集 + 资金密集 + 高端设备 + 现代制造 + 现代服务

- 高性能计算
- 安全体系
- 工具管理
- 设计环境标准
- 设计数据管理
- 弹性云算力
- IP模块定制
- 芯片架构咨询
- 数字前后端设计
- 模拟前后端设计
- 芯片方案优化
- DFT设计
- 工艺选型
- 新产品导入
- 量产产能支持
- 供应链管理
- 专业技术支持
- 数据安全
- 封装设计仿真
- 可靠性方案
- 工程批生产
- 系统级封装
- 自建柔性生产
- 封装量产管理
- 晶圆测试
- 失效分析
- 工程验证
- 量产测试
- 系统验证
- 可靠性认证
- 订单管理
- 质量管控
- 计划管理
- DPPM优化
- 良率监控
- 良率优化



AI技术进入指数级加速期

从模型能力突破，到Agent化、多模态与规模化落地

01

能力跃迁：从生成到推理

在科学问题、数学竞赛及代码任务等复杂领域持续提升，模型开始具备深度逻辑。

 SWE-bench Verified

60% → 100%

02

多模态与Agent化

整合文本、音视频及3D信息，AI正从“回答问题”演进为“跨系统执行任务”。

 OSWorld 代理准确率

12% → 66.3%

03

成本与效率改善

推理成本呈断崖式下降，硬件能效比大幅提高，扫清了大规模商用的最后障碍。

 推理成本下降

280倍+

04

开放生态与应用落地

开源模型家族推动本地部署，AI编程、自动驾驶等场景进入真实工作流。

 开发者使用率

85% (By 2025)



CORE CONCLUSION

AI正在从“生成内容的工具”升级为“能理解多模态信息、规划任务并参与真实工作流的通用技术底座”。

启芯宸光业务介绍

引入AI智算，打造IC设计协同创新平台DeepChip，提升效率

DeepChip芯片设计协同创新平台

DeepEDA

聚焦AI技术赋能EDA智算平台，通过优化设计流程，显著提升芯片设计仿真效率。

1. AI自动参数优化能力
2. 智能任务调度与算力分配
3. 仿真效率显著提升
4. 自动化流程编排能力
5. 降低工程师时间成本
6. 缩短Tape-out周期

设计环境

DeepIP

依托自研AI生成RTL技术，以超高性价比为客户提供定制IP及设计服务，助力芯片实现敏捷设计与快速落地。

1. AI辅助RTL生成技术
2. 高性价比IP体系
3. 支持高度定制化需求
4. 快速交付能力
5. SoC级整合能力
6. 降低企业设计门槛

芯片设计

DeepATE

借助AI技术赋能ATE测试，实现自动代码生成与引脚匹配，大幅提升芯片测试效率。

1. ATE自动代码生成
2. 自动引脚匹配能力
3. 智能测试向量优化
4. 缩短量产导入周期
5. 降低测试开发成本
6. 提升测试流程标准化程度

芯片测试

DeepEDU

以AI赋能芯片设计教育领域，为高校提供先进的教学与科研解决方案，着力培养AI+芯片复合型人才。

1. 产业级AI工具接入
2. AI辅助RTL与仿真实训
3. 产教融合能力强
4. 企业培训可直接复用
5. 缩短工程师成长周期
6. 构建AI时代芯片人才生态

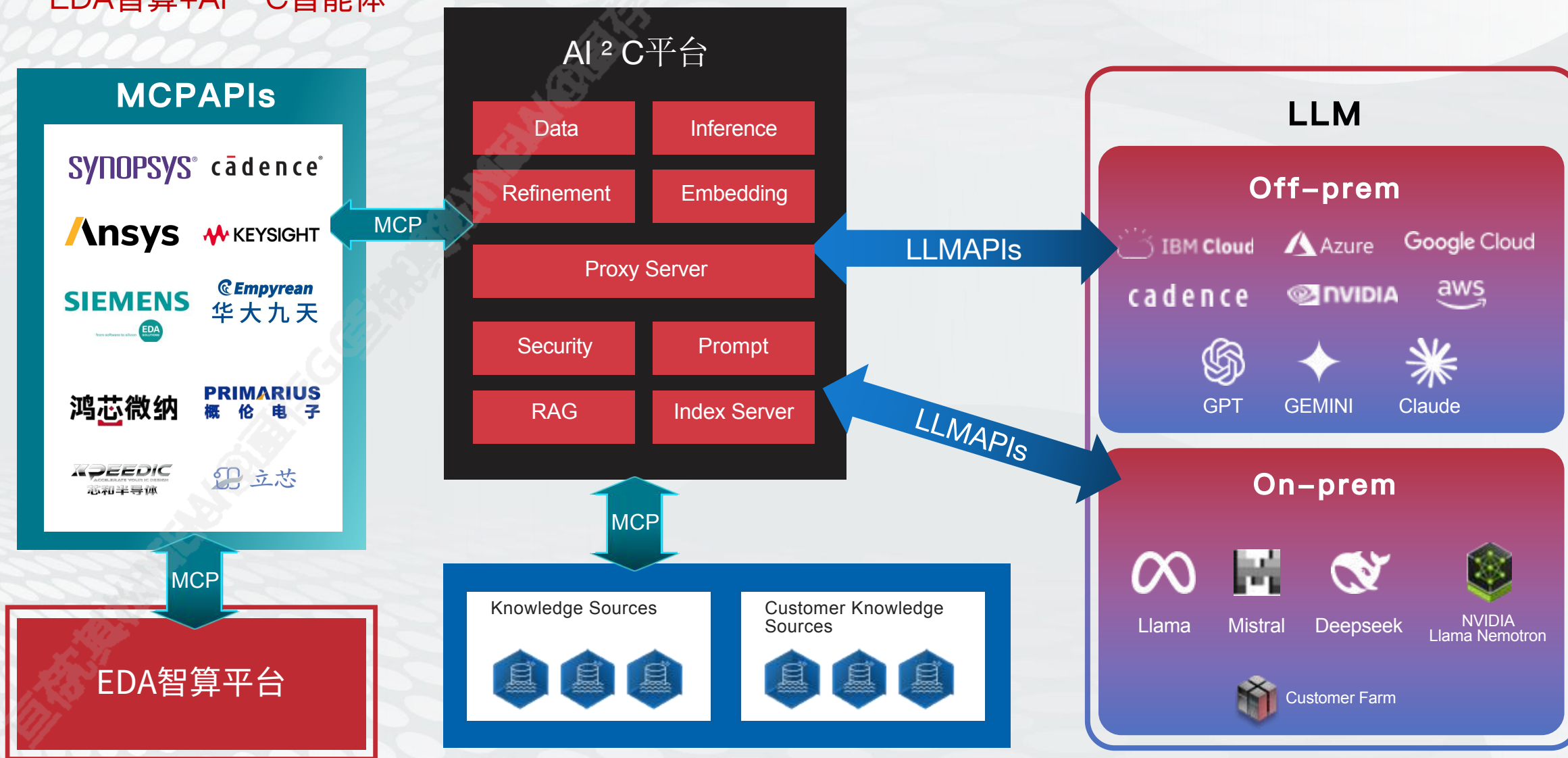
人才培养

芯片制造
(委外合作)

芯片封装
(委外合作)

DeepEDA平台介绍

EDA智算+AI²C智能体



EDA工具箱

- 仿真工具
- 综合工具
- 静态检查
- 形式验证
- 寄存器生成
- NoC生成优化
- 几十种自研工具



XCore
超级大脑，心智模型

2000 亿
训练Tokens

8000万行+
研发数据校准

通用模型接口

可以接入本地或者云端通用模型，引入大模型最新能力

本地部署

云端部署

混合模式

知识库

- EDA知识库
- 客户本地知识库

智能体 Agent

架构分析

文档生成

代码生成

自主验证

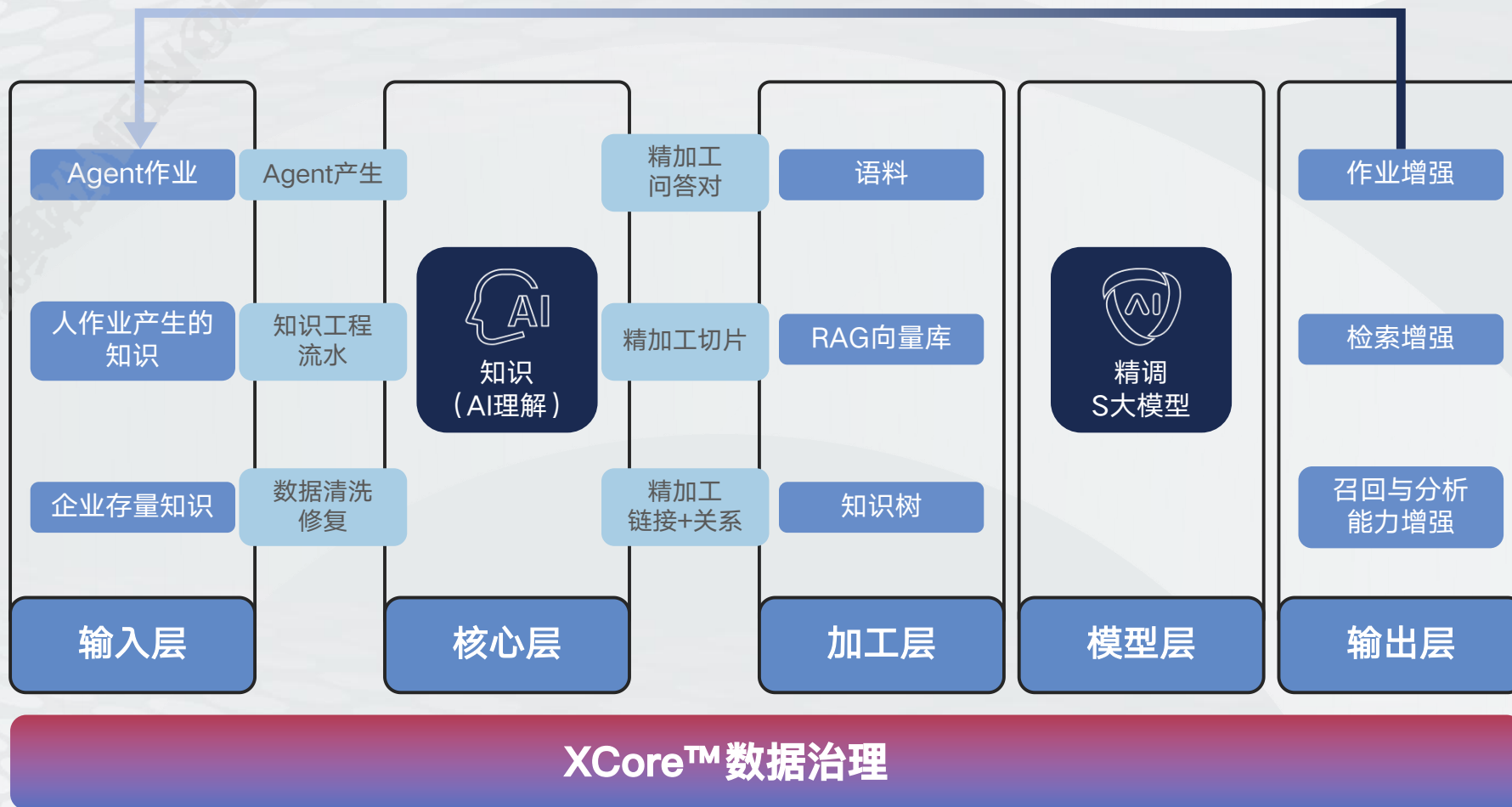
自主调试

数据安全

- 私有化部署保障

Deep IP平台数据治理

- 本地化训练，理解更精准，安全又高效；
- 分层协调度，数据流顺畅，控制更清晰；
- 模块强支撑，系统稳运行，整体性能优。



启芯数字前端设计（FPGA）解决方案

提供设计验证全流程工具：包含系统设计、RTL设计、功能验证、调试优化智能体。

系统设计

XCore系统设计智能体

- 需求 → 模块划分 → 接口定义自动生成
- 自动生成Block Design (AXI / IP Integrator)
- 多方案对比 (资源 / 时序 / 功耗)
- 快速生成顶层架构文档

RTL设计

XCoreRTL生成智能体

- 根据设计需求自动生成RTL代码
- 自动调用本地IP核 (如FIFO、DDR、PCIe)
- 遵守本地编码风格、适配FPGA开发规范
- 时序友好代码生成 (pipeline / register slice)
- 生成结构清晰、可综合的代码

功能验证

XCore实现优化智能体

- 自动生成Testbench
- 自动生成测试用例 (覆盖典型场景)
- 支持仿真 (Simulation) 自动执行
- 自动分析仿真结果, 定位错误原因
- 基于反馈, 辅助修复RTL代码 (闭环优化)

调试优化

XCore调试智能体

- 自动跳转到问题源头
- 自动分析问题, 给出修复建议
- 根据可能错误, 自主搭建迷你测试平台和测试用例, 协助定位当前问题
- 支持结构化回溯

启芯DFT设计解决方案

EDA工具集



面向数字芯片可测试性设计与测试生成



覆盖RTL→DFT网表与测试向量的全流程



提供低面积开销、低功耗的可测试性设计



提供高覆盖率、低成本的测试能力



高性能故障仿真
支持大规模设计，仿真速度领先



高效ATPG算法
快速生成高质量测试向量



多目标扫描链优化
优化链长平衡、功耗、可诊断性等



测试向量精简技术
显著压缩测试数据，降低测试成本

测试仿真台



数字芯片设计EDA工具集

搭载CASDFT EDA工具集，同时集成多款开源EDA工具，覆盖从RTL仿真、逻辑综合、到布局布线的完整设计流程。两类工具可无缝配套、协同作业。



待测缺陷芯片实例

设备内置数十个包含缺陷的芯片(bitstream)案例资源，学生可依托EDA工具集进行实训，提高学生实战能力。



DFT EDA开发接口

设备内置DFT EDA开发接口，学生可嵌入自研的ATPG等算法，从而深入理解DFT核心算法，既降低了DFT算法的学习门槛，又为高阶创新研究提供了可扩展的实验平台。

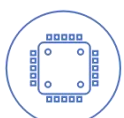


DFT全流程自动化



RTL设计

Verilog设计输入



测试结构IP插入

CASDFTtop工具
JTAG/IJTAG/MBIST/OCC/扫描压缩



逻辑综合

综合优化
生成网表



扫描链插入

CASDFTscan工具
DRC/扫描单元替换链接



ATPG

CASDFTcore工具
固定型故障/时延故障



故障仿真

CASDFTcore工具
故障覆盖率分析



测试输出

CASDFT工具集
DFT网表/测试向量

DeepIP 平台介绍

利用AI代码生成RTL, UVMTB, SAV等, 实现复杂SoC芯片自动化集成设计与验证。

RISC-V+ARM双核架构

1. ARM Cortex完善生态系统
2. AP CPU高性能+FPU+Cache
3. RISC-V开源指令集自主可控
4. 双核CPU无缝协调工作
5. 高性能、低功耗、低延时

AI引擎, 语音/视觉加速器

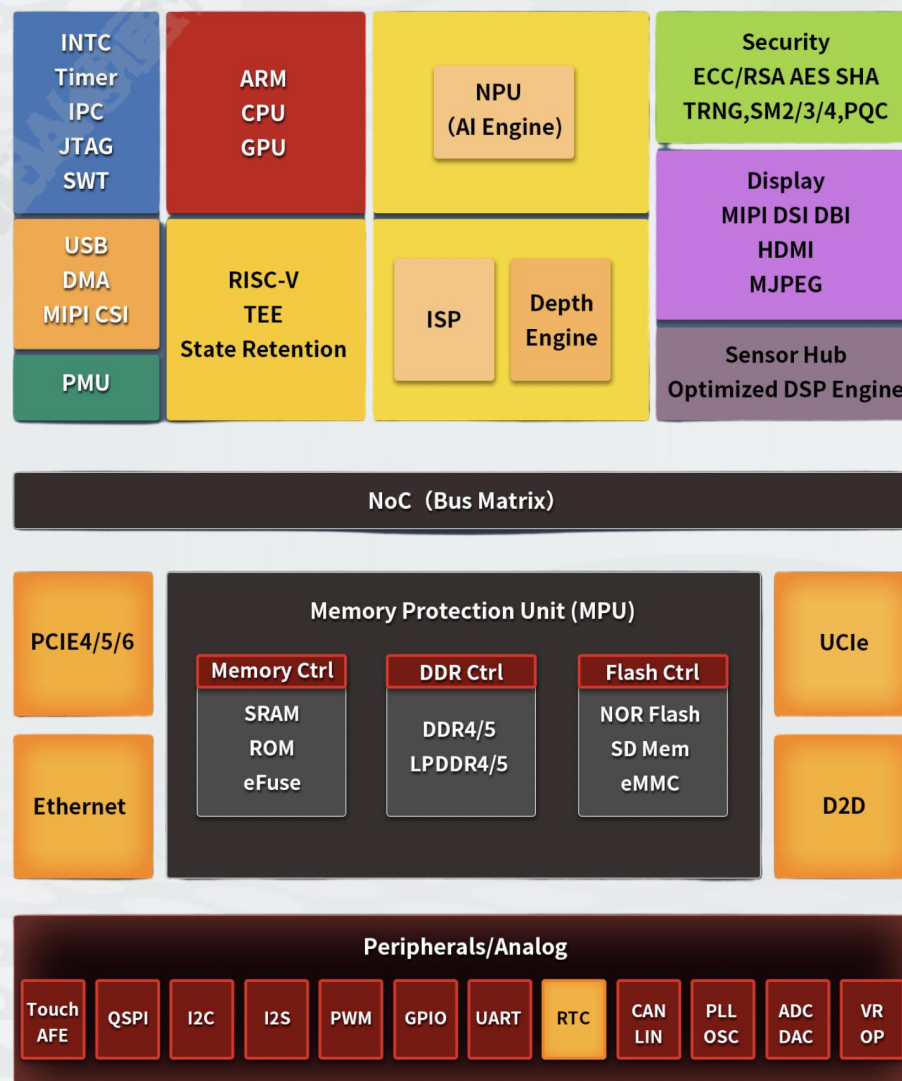
1. 定制AI引擎, 优化提升算力
2. 定制图像处理器ISP
3. 定制深度计算引擎, 算法及硬件处理器
4. 低功耗边缘语音识别
5. 高性能视觉芯片

超低功耗

1. 内置电源管理模块PMU
2. 灵活可配置的功耗模式切换
3. 超低的待机功耗
4. 支持CPU retention, DVFS, SRAM retention等先进功耗管理技术

丰富存储配置

1. 支持DDR/LPDDR/GDDR内存
2. 支持eMMC主流存储
3. 支持Nor/NandFlash
4. 支持存储器数据加密
5. 支持SD memory
6. 支持eFlash



安全

1. 加密硬件IP (ECC, RSA, AES, SHA, HSM, PQC)
2. Root of Trust安全启动, 安全认证, 密钥管理
3. 对标EAL4+的安全规格, 包括TRNG真随机数生成, 防攻击实现等
4. MPU内存访问管理

显示/图像/音频

1. 内置显示模块, 支持MIPI, DBI, SPI接口, 适配主流显示屏
2. 2D图像加速, 支持主流GUI设计
3. MJPEG视频音频编解码

超低功耗IoT Sensor Hub

1. 针对IoT定制的数字信号处理DSP引擎
2. 低功耗模式下的传感器数据采集
3. 高性能医疗传感器芯片
4. 高安全性汽车电子传感器

高速接口

1. PCIe4/5/6: 对外高速拓展接口
2. Ethernet: 网络通信与数据出口
3. UCle: SoC内部Chiplet互连通道
4. D2D: SoC封装内裸片直连通路

低功耗高速通信接口

1. 丰富的MCU外设接口
2. 内置智能家居和汽车电子类ADC/DAC, 放大器, 比较器等高性能模拟IP
3. IoT无线连接: WiFi/BT/BLE/NB-IoT/RF

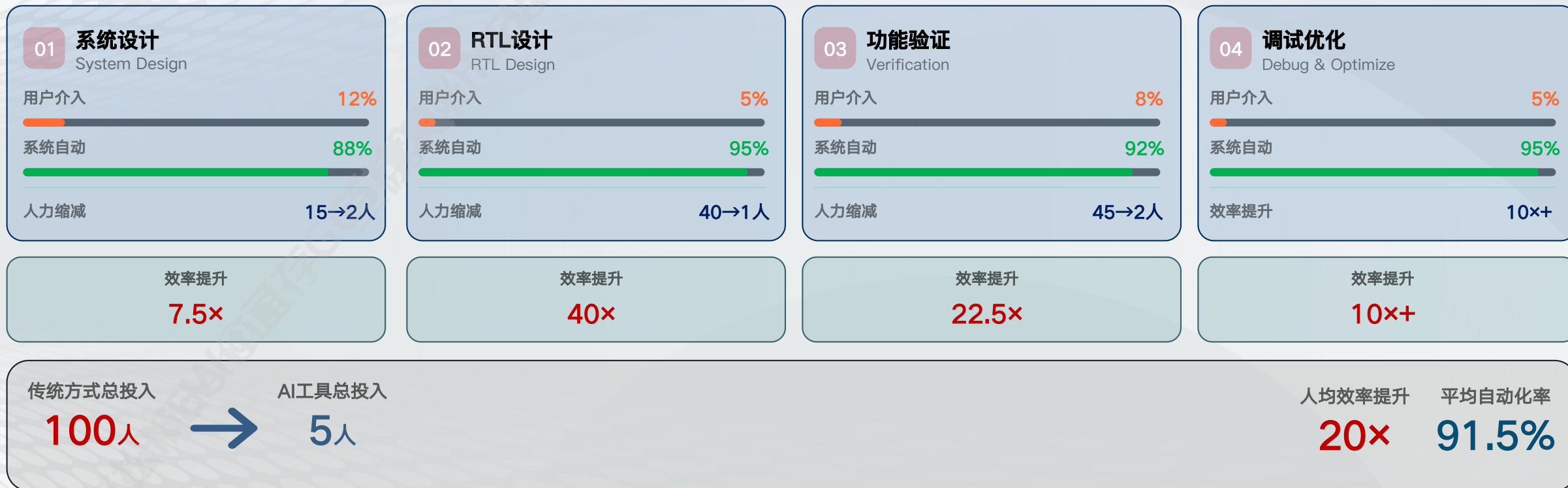
题目：

根据芯片手册以及
库中存在的RTL代码，
搭建测试平台检测
RTL BUG并验证

DeepIP 平台实现效果

四阶段全流程时间轴总览

从系统设计到调试优化，AI深度介入全流程，用户仅需在关键节点介入

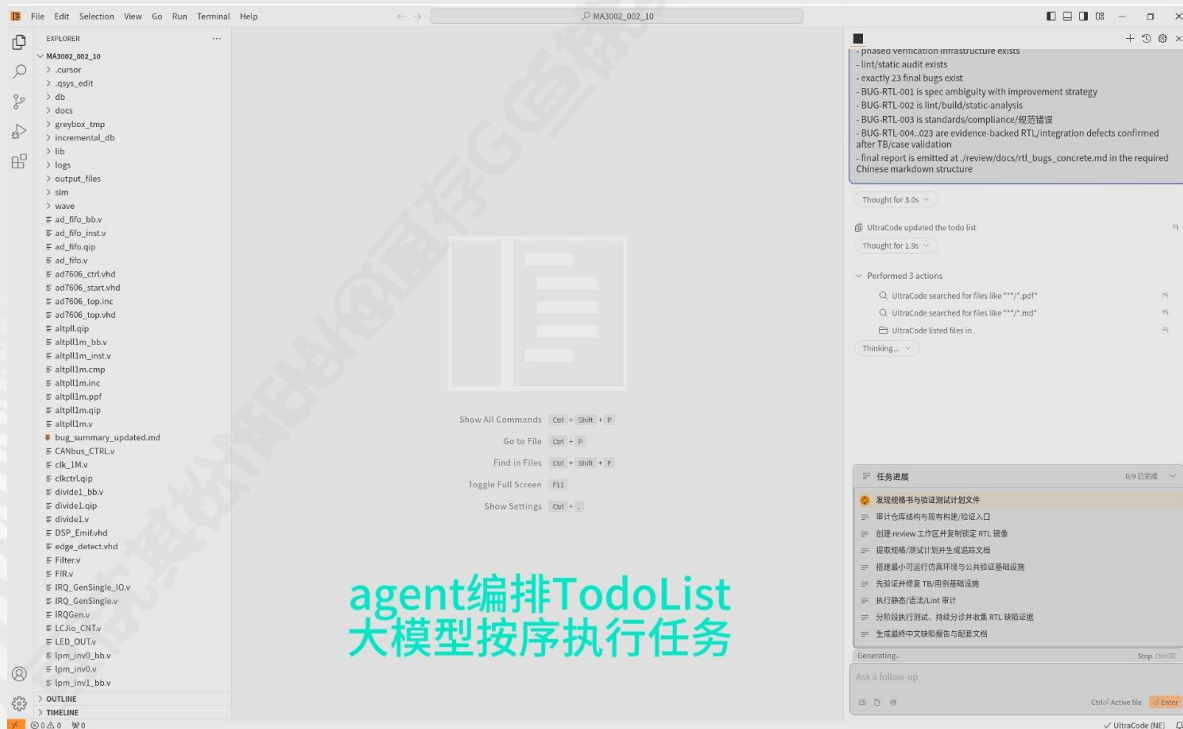


减少重复劳动 | 提升规范一致性 | 加速验证收敛 | 增强结果可解释性

航天某科所案例

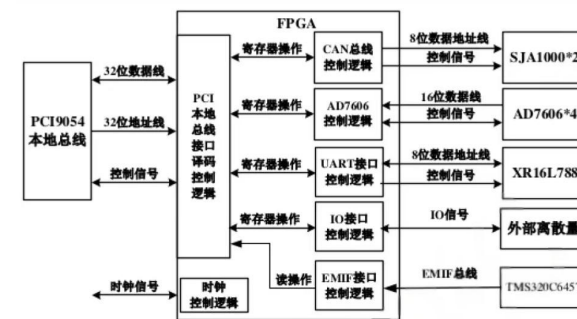
题目：根据芯片手册以及库中存在的RTL代码，搭建测试平台并验证

1. 输入用户需求、提示词、芯片手册目录、RTL代码、本地约束等内容
2. 生成TodoList并按序执行



目录

1 引言	1
1.1 标识	1
1.2 系统概述	1
1.3 文档概述	2
2 引用文档	2
3 术语和缩略语	2
4 功能需求	3
4.1 时钟复位控制逻辑	3
4.2 PCI9054 控制功能	4
4.3 CAN 总线控制功能	7
4.4 串口控制功能	7
4.5 AD 转换控制功能	8
4.6 信号滤波功能	9
4.7 里程信号计数功能	9
4.8 EMIF 总线通讯功能	9
4.9 中断控制功能	9
5 外部接口需求	11
5.1 时钟复位接口	11
5.2 PCI9054 接口	11
5.3 EMIF 总线接口	12
5.4 CAN 总线接口	14
5.5 AD 芯片接口	16
5.6 RS422 串口	18
5.7 IO 接口	21
6 性能需求	22



部分总线设置方式请参考数据手册。

1.3 文档概述

本文档是 MA3002 测量审核样品的需求规格说明，是进行 FPGA 软件设计的基础，也是进行 FPGA 软件测试的主要依据。

测量审核计划组织与实施机构：

本文档知识产权属于测量审核组织机构所有，参加测量审核计划的机构和人员，未经测量审核组织机构的书面同意，不得将本文档提供给其他机构和人员使用。

2 引用文档

表 2-1 引用文档

文档编号	文档标题	编写单位	出版日期
	测量审核规则	中国合格评定国家认可委员会	2018 年

3 术语和缩略语

本文档使用的术语和缩略语见表 3-1。

表 3-1 术语和缩略语

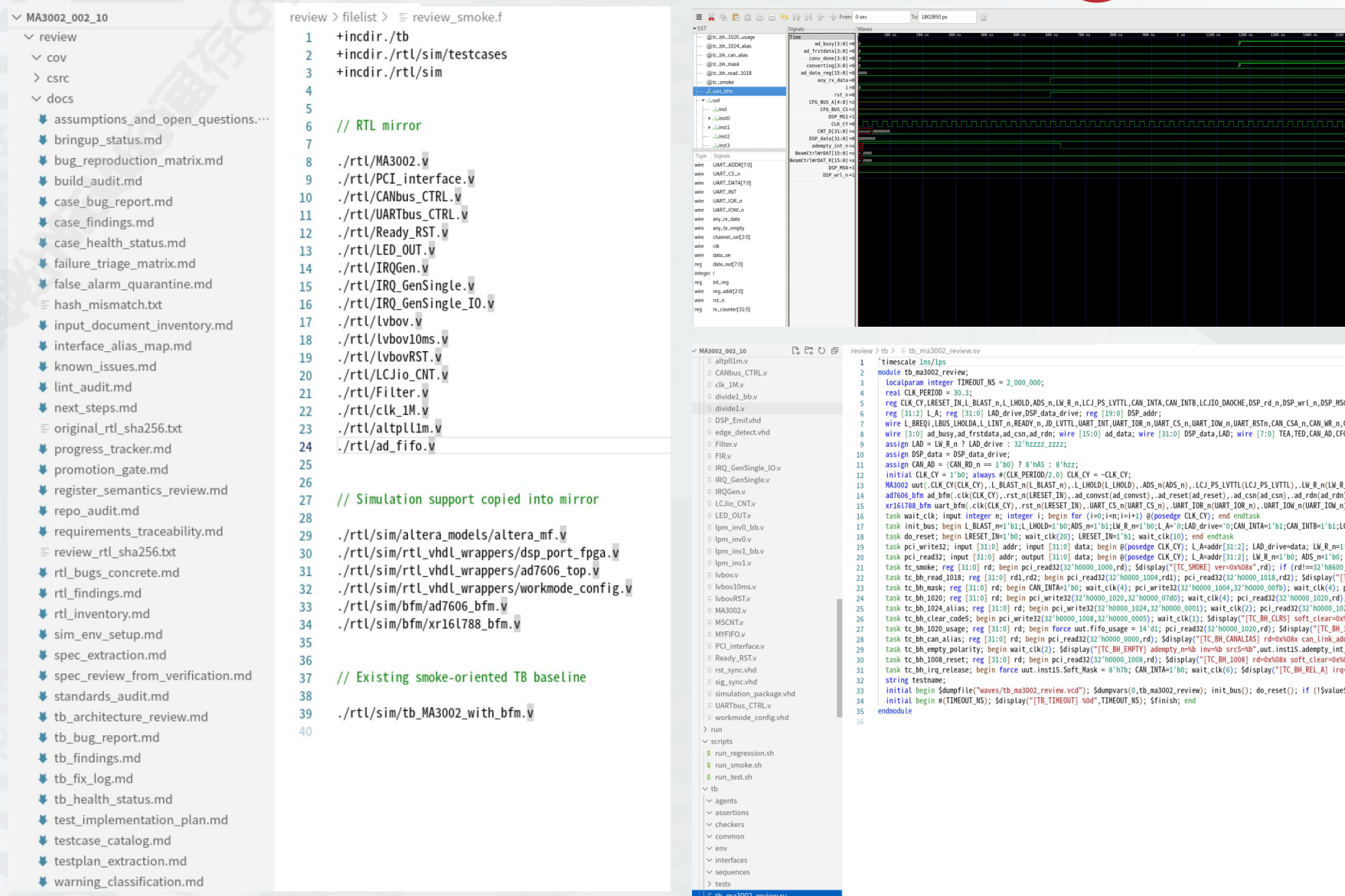
序号	名词	解释
----	----	----

■ 航天某科所案例



3. 模型按需调用tool，与系统交互，反复迭代，生成了中间文档，包含TB文件、BUG的初步分析及报告等内容

4. 完成任务，一个小时内找到23处BUG。
后续只需人工审核，大幅减少RTL Debug的时间与流程



某科所案例

题目：依据目标芯片HI8435手册，生成对应的驱动芯片的代码，并完成验证

HOLT
INTEGRATED CIRCUITS

July 2016

HI-8435

32-Channel Ground/Open or Supply/Open
Sensor with SPI Interface

GENERAL DESCRIPTION

The HI-8435 is a 32-channel discrete-to-digital sensor fabricated with Silicon-on-Insulator (SOI) technology designed to interface with a Serial Peripheral Interface (SPI).

Four banks of 8 sense inputs can be programmed as either GND/Open or Supply/Open sensors. Supply/Open sensing is also referred to as 28V/Open sensing.

All sense inputs are internally lightning protected to DO1603, Section 22, Cat A2, B2 and Z2 without external components.

The sensing circuit window comparator thresholds are set by programming the center threshold and hysteresis registers to values from 2V to 22V. The digital values of the sensed inputs can be read either one bank at a time or all 4 banks with one command.

Each bank of sensors have a VDETn pin available for application of a voltage to supply pull up current to the GND/Open sensor.

Interface to the digital subsystem is simple CMOS logic inputs and outputs. The logic pins are compatible with 3.3V logic allowing direct connection to a wide range of microcontrollers or FPGAs.

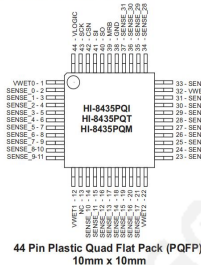
FEATURES

- Robust CMOS Silicon-on-Insulator (SOI) technology
- 32-channel Programmable Sense Operation, GND/Open or Supply/Open, 4 X 8 Input Sensors
- Programmable HUILO Threshold and Hysteresis in 0.5V steps, from 2V to 22V.
- Single Low Voltage Supply Operation for low thresholds applications
- Logic Operation from 3.0V to 3.6V
- 20 MHz Serial Peripheral Interface (SPI)
- Lightning Protected Sense Inputs
- Airbus AB0100H compliant
- MIL-STD-704 compliant
- Internal Self-Test

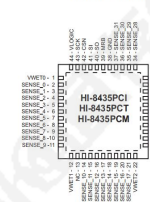
APPLICATION

- Avionics Discrete to Digital Sensing

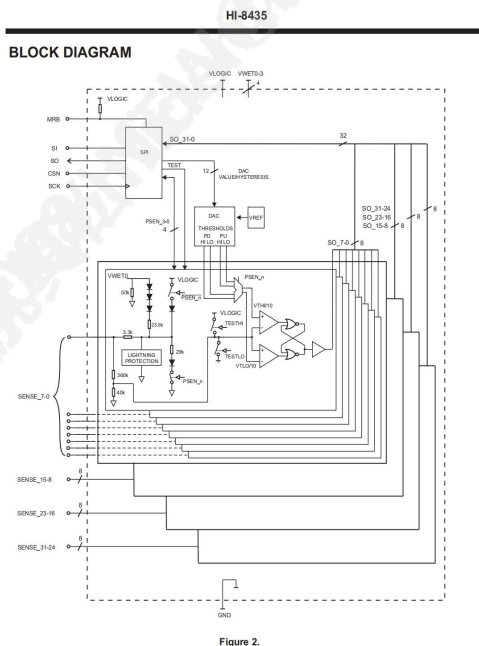
PIN CONFIGURATIONS



44 Pin Plastic Quad Flat Pack (QFP)
10mm x 10mm



44 Pin Plastic QFN
7mm x 7mm



HOLT INTEGRATED CIRCUITS
2

HI-8435 Datasheet

Source PDF: H01t1c-HI-8435.pdf

This Markdown file is a readability-focused conversion of the original PDF datasheet. It preserves the text content in a cleaner structure for downstream processing. Graphical figures, package drawings, and some bitfield layouts are simplified; refer to the PDF when exact artwork matters.

32-Channel Ground/Open or Supply/Open Sensor with SPI Interface

Application

- Avionics discrete-to-digital sensing

General Description

The HI-8435 is a 32-channel discrete-to-digital sensor built with Silicon-on-Insulator (SOI) technology and designed to interface to a Serial Peripheral Interface (SPI).

All sense inputs include internal lightning protection to DO1603, Section 22, Categories A2, B2 and Z2 without requiring external components.

The sensing window-comparator thresholds are programmable through center-threshold and hysteresis registers. Thresholds can be programmed from 2 V to 22 V. The digital status of sensed inputs can be read either bank-by-bank or across all four banks using a single command.

The 32 sense channels are arranged as four banks of eight. Each bank can be programmed as either GND/open or supply/open sensing. Supply/Open sensing is also referred to as 28V/open sensing.

Each bank provides a VDETn pin that can be used to source pull-up current in GND/open applications. The digital-side interface is 3.3 V CMOS-compatible, which allows direct connection to many FPGAs and microcontrollers.

Pin Configurations

Pin/package drawings in the PDF are graphical and are omitted from this Markdown version. Refer to the original PDF for exact package views and pin numbering.

Features

- Robust CMOS Silicon-on-Insulator (SOI) technology
- 32-channel programmable sense operation
- GND/open or supply/open sensing in 4 banks of 8 inputs
- Programmable high/low threshold and hysteresis in 0.5 V steps from 2 V to 22 V
- Single low-voltage supply operation for low-threshold applications
- Logic operation from 3.0 V to 3.6 V
- 20 MHz SPI Interface
- Lightning-protected sense inputs
- Airbus AB0100H compliant
- MIL-STD-704 compliant
- Internal self-test

Block Diagram

The functional block diagram is graphical in the original PDF and is omitted from this Markdown version.

Pin Descriptions

Pin	Function	Description
VLOGIC	Supply	3.3 V power supply for both sensors and logic.
VDET<0-3>	Supply	Input used to supply current to sense lines in GND/open operation. Each bank of 8 inputs has one VDETn pin. Internal 50 kΩ to GND.
SENSE<31:0>	Discrete Input	Four banks of 8 discrete inputs programmable through SPI as either GND/open or supply/open. PSEN<3:0> selects the bank type: 0 for GND/open, 1 for supply/open. Input status is stored in S0<31:0>.
GND	Supply	0 V ground for sensor and logic.
SCK	Digital Input	SPI clock.
CSN	Digital Input	SPI chip select, active low, internal 30 kΩ pull-up.
ST	Digital Input	SPI serial data input, internal 30 kΩ pull-down.
S0	Digital Output	SPI serial data output.
MRB	Digital Input	Master Reset Bar, active low, internal 30 kΩ pull-up.

Table 1

SPI Commands

Op Code	R/W	Data Bytes	Description
0x02	W	1	Write Control Register
0x04	W	1	Write Program Sense Banks Register, PSEN<3:0>
0x3A	W	2	Write GND/Open Threshold Center Value and Hysteresis
0x3C	W	2	Write Supply/Open Threshold Center Value and Hysteresis
0x1E	W	1	Write Test Mode Data Register
0x82	R	1	Read Control Register
0x84	R	1	Read Program Sense Banks Register
0x8A	R	2	Read GND/Open Threshold Center Value and Hysteresis
0x8C	R	2	Read Supply/Open Threshold Center Value and Hysteresis
0x9E	R	1	Read Test Mode Data Register
0x90	R	1	Read Bank 0 SOUT Register, S0<47:0>

芯片手册

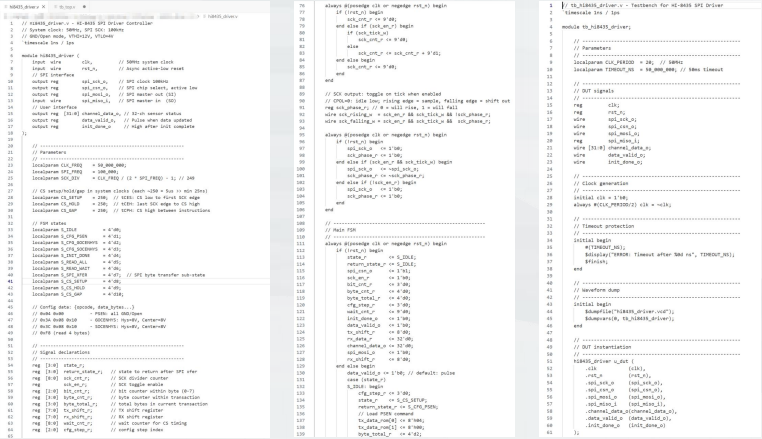
HOLT INTEGRATED CIRCUITS
www.holtic.com

07/16

1. 用户指定芯片手册以及相关参数配置
2. 模型将芯片手册转换为系统和模型可读的文档（上图 Datasheet），初步解析芯片内容，规划芯片设计步骤

3. 模型生成RTL（下图右三代码），按需检查各项功能是否符合Spec文档（下图左设计规格书），完成验证后，输出总结。

整体流程控制在20分钟以内，极大程度地方便了工程师根据芯片手册的开发工作



HI-8435 SPI 驱动控制器 设计规格书

版本: 1.0 | 日期: 2025-01-01

目录

第1章 文档信息

第2章 模块概述

第3章 系统架构

第4章 接口定义

第5章 功能描述

第6章 寄存器定义

第7章 时序约束与性能指标

第1章 文档信息

1.1 修订历史

版本	日期	描述
1.0	2025-01-01	初始版本

1.2 缩写术语

缩写	全称
SPI	Serial Peripheral Interface
CPOL	Clock Polarity
CPHA	Clock Phase
VTHI	High Threshold Voltage ($\geq 12V$)
VTLO	Low Threshold Voltage ($\leq 4V$)
FSM	Finite State Machine
PSEN	Program Sense Banks Register
GOCENHYS	GND/Open Center & Hysteresis Register
SOCENHYS	Supply/Open Center & Hysteresis Register

第2章 模块概述

2.1 设计目标

实现一个基于FPGA的HI-8435芯片SPI驱动控制器，完成芯片初始化配置和32通道离散量数据读取。

2.2 特性概要

- 系统时钟 50MHz, SPI速率 100kbps (SCK)
- SPI Mode 0 (CPOL=0, CPHA=0), MSB First
- 32通道均配置为GND/Open模式
- VTHI=12V, VTLO=4V, 满足“≥12V为高、≤4V为低”需求
- FPGA复位后自动初始化, 然后循环读取通道数据

2.3 应用场景

航空电子离散量信号采集, 32路地/开信号输入检测。

第3章 系统架构

3.1 顶层框图

模块 `hi8435_driver` 包含以下子功能块：

- **SPI Master:** 产生SCK、驱动SI、采样SO、控制CSN
- **Config FSM:** 三步配置序列(PSEN→GOCENHYS→SOCENHYS)，完成后进入读取状态
- **Read FSM:** 周期性发送0xF8指令读取32位通道状态

3.2 数据通路

FPGA → SPI SI → HI-8435 (写指令/数据); HI-8435 → SPI SO → FPGA (读数据)

3.3 时钟域

单时钟域：50MHz系统时钟。SPI SCK由分频产生，100kHz。

3.4 复位架构

异步低有效复位 `rst_n`。复位释放后FSM从idle进入配置流程。

第4章 接口定义

4.1 端口列表

信号名	方向	位宽	描述
clk	Input	1	系统时钟 50MHz
rst_n	Input	1	异步低有效复位
spi_sck_o	Output	1	SPI时钟, 100kHz
spi_csn_o	Output	1	SPI片选, 低有效
spi_mosi_o	Output	1	SPI主出从入(SI)
spi_miso_i	Input	1	SPI主入从出(SO)
channel_data_o	Output	32	32通道状态数据
data_valid_o	Output	1	通道数据有效指示, 脉冲
init_done_o	Output	1	初始化完成指示

第5章 功能描述

5.1 状态机

主 FSM 状态转换:

1. **S_IDLE**: 复位后等待, 进入 **S_CFG.PSEN**
2. **S_CFG.PSEN**: 发送 0x04 0x00 (2 字节), 设置全部 bank 为 GND/Open
3. **S_CFG.GOCENHYS**: 发送 0x03 0x08 0x10 (3 字节), 配置 GND/Open 门限
4. **S_CFG.SOCENHYS**: 发送 0x3C 0x08 0x10 (3 字节), 配置 Supply/Open 门限
5. **S_INIT_DONE**: 拉高 `init_done_o`, 进入读取流程
6. **S_READ_ALL**: 发送 0x0F 并接收 4 字节数据 (5 字节总计), 输出 32 位通道状态
7. **S_READ_WAIT**: 等待间隔后重新读取

5.2 SPI协议规范

- Mode 0: CPOL=0, CPHA=0; SCK空闲低, 上升沿采样, 下降沿输出
- MSB First
- SCK频率=100kHz, 分频系数=50MHz/(2×100kHz)=250
- 写指令: opcode + data bytes, 读指令: opcode + 接收data bytes

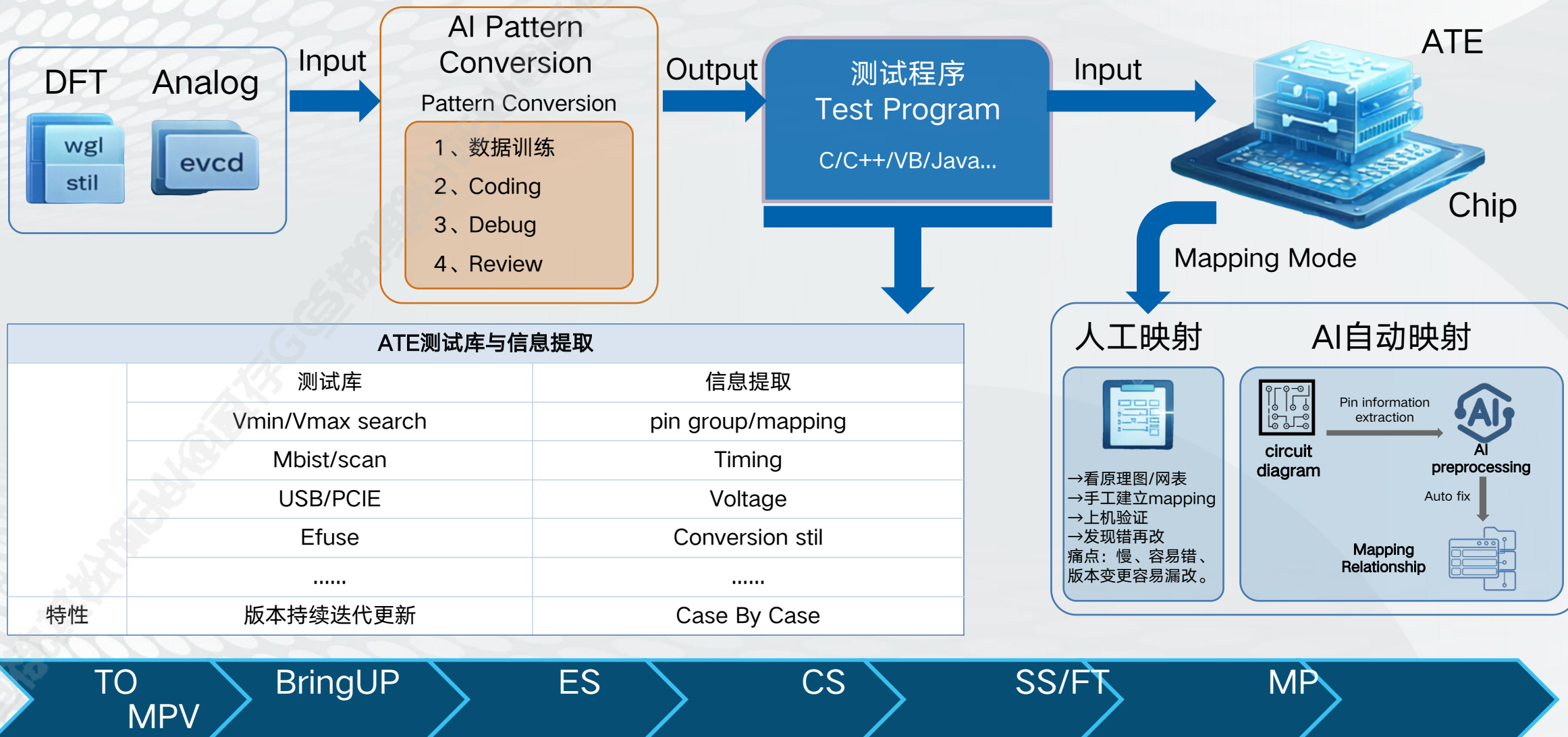
5.3 门限计算

需求: $V_{THI}=12V$, $V_{TLO}=4V$

- Hysteresis = $V_{THI} - V_{TLO} = 8V \rightarrow GOHYS = 0x08$
- Center Value code = $V_{THI} + V_{TLO} = 16 \rightarrow GOCVAL = 0x10$
- 验证: $Center = 16 \times 0.5 = 8V$, $V_{THI} = 8 + 8/2 = 12V \checkmark$, $V_{TLO} = 8 - 8/2 = 4V \checkmark$

DeepATE 平台介绍

AI赋能的自动化测试程序流程：提升芯片自动化测试效率，缩短量产时间



DeepEDU平台介绍

打造“一基地四中心”教学科研服务平台

集成电路高技术技能人才培养基地

四个中心

教学支撑

AI赋能支撑

产业服务支撑

产业企业支撑

EDA智算中心

芯片设计教学实训环境
芯片设计科研环境
芯片设计教学管理环境

EDA设计AI助手：软件功能及操作方法查找，关键快捷键搜寻，软件使用问题解决....

协同：EDA平台共享服务
协同：仿真算力资源服务
横向：企业+科研研发支持



IP设计中心

岗位技能导向芯片实训课程
芯片设计真实项目案例素材库
芯片参考设计库

芯片设计教学助手：课程答疑，项目答疑，版图面积的分析与预警，版图布局结构指导，根据规则约束提供精确优化建议

协同：IP设计服务
横向：芯片设计项
协同：芯片设计培训



芯片流片中心

芯片制造实训课程
芯片制造真实/虚拟实训环境
芯片流片项目实训

芯片工艺教学助手：课程答疑，项目答疑，工艺流程说明及分析...

协同：芯片流片服务
横向：工艺器件设计项目
协同：工艺培训



芯片封测中心

芯片测试实训课程
ATE测试实验平台
真实芯片测试训练及案例库

芯片测试设计助手：课程答疑，项目答疑，芯片测试项目程序辅助设计...

协同：测试程序设计
横向：测试板卡开发
协同：封装设计开发



AI重构IC·加速中国芯设计未来



启于芯 | 宸于行 | 光未来

致力于以智能拓展设计的边界；打造属于未来的IC工程体系

官网: www.coresparkai.com

上海总部

上海浦东新区盛夏路560
号2幢203

重庆研发中心

重庆市高新区西永街道西
永大道36号2幢

长春研发中心

长春市南关区卫星路
3278号

深圳技术支持中心

深圳市集成电路科创产业
园